

拒絶査定

特許出願の番号	特願 2002-329347
起案日	平成18年 3月28日
特許庁審査官	濱本 禎広 9509 2G00
発明の名称	表示装置及びその駆動制御方法
特許出願人	キャノン株式会社
代理人	世良 和信 (外 2名)

この出願については、平成17年11月 8日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書並びに手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考**・請求項1-9に係る発明について**

カソード電極及びアノード電極を接地電位にして動作不能とすることは、特表2002-524816号公報の段落【0035】に示されているように慣用されているものであり、非動作が前提である動作開始前にカソード及びアノード電極を接地電位にするようなことは、単なる慣用技術の付加である。

この査定に不服があるときは、この査定の謄本の送達があった日から30日以内（在外者にあつては、90日以内）に、特許庁長官に対して、審判を請求することができます（特許法第121条第1項）。

（行政事件訴訟法第46条第2項に基づく教示）

この査定に対しては、この査定についての審判請求に対する審決に対してのみ取消訴訟を提起することができます（特許法第178条第6項）。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成18年 3月29日 経済産業事務官 平瀬 恵美子

DIALOG(R)File 351:Derwent WPI
(c) 2006 The Thomson Corp. All rts. reserv.

013131024 **Image available**

WPI Acc No: 2000-302895/200026

Related WPI Acc No: 2002-673927; 2003-569159; 2003-894987

XRPX Acc No: N00-226341

Field emission display conditioning method involves reducing display screen voltage and increasing gate electrode voltage, repeatedly, until voltage of display screen reaches threshold value

Patent Assignee: CANDESCENT TECHNOLOGIES CORP (CAND-N)

Inventor: ELLOWAY D J; MORRIS D L; SCANNELL W J; SPINDT C J

Number of Countries: 022 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 200013167	A1	20000309	WO 99US15588	A	19990708	200026 B
US 6104139	A	20000815	US 98144675	A	19980831	200041
EP 1116202	A1	20010718	EP 99943611	A	19990708	200142
			WO 99US15588	A	19990708	
US 6307325	B1	20011023	US 98144675	A	19980831	200165
			US 2000493698	A	20000128	
US 6307326	B1	20011023	US 98144675	A	19980831	200165
			US 2000493698	A	20000128	
			US 2000695593	A	20001023	
KR 2001072838	A	20010731	KR 2001702226	A	20010221	200209
JP 2002524816	W	20020806	WO 99US15588	A	19990708	200266
			JP 2000568075	A	19990708	
US 6459209	B1	20021001	US 98144675	A	19980831	200268
			US 2000493698	A	20000128	
			US 2001767329	A	20010122	
EP 1632927	A2	20060308	EP 99943611	A	19990708	200618
			EP 200524848	A	19990708	

Priority Applications (No Type Date): US 98144675 A 19980831; US 2000493698 A 20000128; US 2000695593 A 20001023; US 2001767329 A 20010122

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

WO 200013167	A1	E	44	G09G-003/10	
--------------	----	---	----	-------------	--

Designated States (National): JP KR

Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE

US 6104139	A			G09G-003/10	
------------	---	--	--	-------------	--

EP 1116202	A1	E		G09G-003/10	Based on patent WO 200013167
------------	----	---	--	-------------	------------------------------

Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE

US 6307325	B1			G09G-003/10	Cont of application US 98144675 Cont of patent US 6104139
------------	----	--	--	-------------	--

US 6307326	B1			G09G-003/10	Cont of application US 98144675 Cont of application US 2000493698 Cont of patent US 6104139
------------	----	--	--	-------------	---

KR 2001072838	A			G09G-003/20	
---------------	---	--	--	-------------	--

JP 2002524816	W		34	H01J-009/44	Based on patent WO 200013167
---------------	---	--	----	-------------	------------------------------

US 6459209	B1			G09G-003/10	Cont of application US 98144675 Cont of application US 2000493698 Cont of patent US 6104139 Cont of patent US 6307325
------------	----	--	--	-------------	--

EP 1632927	A2	E		G09G-003/22	Div ex application EP 99943611 Div ex patent EP 1116202
------------	----	---	--	-------------	--

Designated States (Regional): DE FR GB IE NL

Abstract (Basic): WO 200013167 A1

NOVELTY - The voltage of the display screen is lowered to preset level, after enabling the gate electrode (50). Then, the voltage of the

gate electrode is increased, for increasing the emission current. The reduction of display screen voltage and increasing of gate electrode voltage, are repeated until the voltage of display screen reaches threshold value.

DETAILED DESCRIPTION - Initially, voltage difference is established between the display screen and electron emissive elements. Then, the gate electrode (50) is enabled by delaying substantial electron emission from the electron emissive elements until the voltage difference has been established to direct the electrons towards the display screen and the substantially prevent the electrons from striking the gate electrode. An INDEPENDENT CLAIM is also included for field emission display conditioning apparatus.

USE - For conditioning field emission display e.g. cathode ray tube displays used in laptop computers, power TVs, personal digital assistants, portable electronic games.

ADVANTAGE - The emitted electrons are attracted to the anode by allowing sufficient time for the anode display screen to reach a specific voltage before the emitter is enabled, thus eliminating gate to emitter current effectively during turning ON-OFF of the FED.

DESCRIPTION OF DRAWING(S) - The figure shows block diagram of field emission display conditioning system.

Gate electrodes (50)

pp; 44 DwgNo 5/7

Title Terms: FIELD; EMIT; DISPLAY; CONDITION; METHOD; REDUCE; DISPLAY; SCREEN; VOLTAGE; INCREASE; GATE; ELECTRODE; VOLTAGE; REPEAT; VOLTAGE; DISPLAY; SCREEN; REACH; THRESHOLD; VALUE

Derwent Class: P85; T04; V05

International Patent Class (Main): G09G-003/10; G09G-003/20; G09G-003/22; H01J-009/44

International Patent Class (Additional): H01J-029/04; H01J-031/12

File Segment: EPI; EngPI

?

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-524816

(P2002-524816A)

(43)公表日 平成14年8月6日(2002.8.6)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 J	9/44	H 0 1 J	A 5 C 0 1 2
	29/04		5 C 0 3 1
	31/12		C 5 C 0 3 6

審査請求 未請求 予備審査請求 有 (全 34 頁)

(21)出願番号 特願2000-568075(P2000-568075)
(86) (22)出願日 平成11年7月8日(1999.7.8)
(85)翻訳文提出日 平成13年2月23日(2001.2.23)
(86)国際出願番号 PCT/US99/15588
(87)国際公開番号 WO00/13167
(87)国際公開日 平成12年3月9日(2000.3.9)
(31)優先権主張番号 09/144, 675
(32)優先日 平成10年8月31日(1998.8.31)
(33)優先権主張国 米国 (US)
(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71)出願人 キャンデサント、テクノロジーズ、コーポレーション
CANDESCENT TECHNOLOGIES CORPORATION
アメリカ合衆国カリフォルニア州、サンノゼ、ピア、デル、オロ、6580
(72)発明者 ドナルド、ジェイ、エロウェイ
アメリカ合衆国カリフォルニア州、キャンブレル、シャディ、デイル、アベニュー、1109
(74)代理人 弁理士 吉武 寛次 (外4名)

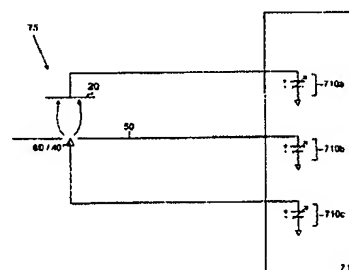
最終頁に続く

(54)【発明の名称】 電界放出表示装置調整方法および装置

(57)【要約】

新たに組み立てられた電界放出ディスプレイにおける汚染物質の粒子を除去する方法である。汚染物質の粒子は、以下のステップを含む調整プロセスにより除去される。a) 電界放出ディスプレイ (FED-Field Emission Display) のアノード (20) を駆動し、b) このアノードが所定電圧を有した後に前記FEDの放出電流を徐々に増加させ、c) 放出された電子 (40) により叩き落とされるか、さもなければ解磁 (release-帯電または帯磁状態を解法する-) されたイオンおよび粒子を捕まえるイオン捕捉装置を提供する。前記アノードを所定電圧にし、FEDの放出電流を徐々に増加させることにより、汚染物質の粒子はFEDに損傷を与えることなく有効に除去される。FEDの動作方法はまた、ターンオンおよびターンオフの間にゲートからエミッタへの電流を阻止することを可能とし、この動作方法は以下のステップを備えている。a) アノード表示画面 (20) を表示可能な状態とし、b) アノード表示画面が表示可能な状態となった後に電子放出部 (40) を動作可能な状態にする。エミッタが動作可能な状態となる前に、ア

200



【特許請求の範囲】**【請求項1】**

電界放出ディスプレイを調整する方法であって、

a) 前記電界放出ディスプレイに、電子を放出する電子放出素子と、この電子放出素子からの電子放出を制御するゲート電極と、前記電子を回収する表示画面とを設けるステップと、

b) 前記表示画面と前記電子放出素子との間の電圧差を前記表示画面に設定可能にさせるステップと、

c) 前記電子を前記表示画面方向に向かわせるため、および前記電子が前記ゲート電極に衝突するのを実質的に防止するために、前記電圧差が設定されるまで前記電子放出素子からの実質的な電子の放出を遅延させることにより、前記表示画面を動作可能な状態に設定し続けると共に前記ゲート電極を動作可能な状態に設定可能とするステップと、

d) 前記ゲート電極を動作可能な状態に設定し続けると共に前記表示画面の電圧を所定のレベルにまで低下させるステップと、

e) 前記表示画面の電圧を低下させ続けると共に放出電流を増加させるためにゲート電極の電圧を増加させるステップと、

f) 表示画面の電圧がしきい値電圧に達するまで前記ステップ(d)およびステップ(e)を繰り返すステップと、

を備える方法。

【請求項2】

前記表示画面はアノードを備える請求項1に記載の方法。

【請求項3】

前記ステップ(b)は前記表示画面を所定のアノード電圧で駆動するステップをさらに備える請求項1に記載の方法。

【請求項4】

前記ステップ(c)は前記ゲート電極を所定のゲート電圧で駆動するステップをさらに備える請求項1に記載の方法。

【請求項5】

前記電子放出素子は、複数のコニカル（円錐）電子エミッタである請求項1に記載の方法。

【請求項6】

前記コニカル電子エミッタは、モリブデンの先端をそれぞれ備えている請求項5に記載の方法。

【請求項7】

g) ゲート電極を動作不能な状態に設定することによって更なる電子の放出を阻止するステップと、

h) ゲート電極の動作不能な状態に設定し続けると共に、前記電子が前記ゲート電極に衝突するのを阻止するために表示画面を動作不能な状態にするステップと、

をさらに備える請求項1に記載の方法。

【請求項8】

アノードと、ゲート電極と、エミッタカソードとを有する電界放出ディスプレイ画面を調整する方法であって、

前記電界放出ディスプレイの前記アノードをしきい値電圧で駆動する駆動ステップと、

実質的にゼロレベルから最大レベルまで増加させるように前記電界放出ディスプレイの放出電流を制御すると共に、前記電界放出ディスプレイが最初にターンオンされたときに、電界放出ディスプレイ画面内での電弧の形成を避けるために前記駆動ステップの後に実行される制御ステップと、

を備える方法。

【請求項9】

前記放出電流は、前記ゲート電極と前記エミッタカソードに適切な電圧をそれぞれ供給することにより制御される請求項8に記載の方法。

【請求項10】

前記最大レベルから前記実質的にゼロレベルへと、前記電界放出ディスプレイの放出電流を低下させるステップと、

前記電界放出ディスプレイの前記アノードを動作不能に設定するステップと、

をさらに備え、

前記電界放出ディスプレイがターンオフされたときに、前記電子を前記アノードに向かわせるため、および、前記電子が前記ゲート電極に衝突するのを阻止するため、に前記アノードの動作を不能にするステップに先だって、前記放出電流を低下させるステップが実行される請求項8に記載の方法。

【請求項11】

前記アノードを前記所定の電圧に維持するステップと、

前記電界放出ディスプレイ画面内に含まれる汚染物質を叩き落とすために、所定期間の間だけ、前記放出電流を前記最大レベルに維持するステップと、

をさらに備える請求項10に記載の方法。

【請求項12】

前記汚染物質を捕獲するためにガス捕集装置を設けるステップをさらに備える請求項10に記載の方法。

【請求項13】

前記エミッタカソードが、複数のコニカル電子エミッタに接続されている請求項8に記載の方法。

【請求項14】

前記コニカル電子エミッタは、モリブデンの先端をそれぞれ備えている請求項13に記載の方法。

【請求項15】

前記制御ステップは、ゼロレベルから、少なくとも10分の時間を超える最大レベルの約1%のレベルまで前記放出電流を徐々に増加させるステップを含む請求項8に記載の方法。

【請求項16】

前記制御ステップは、少なくとも20分の時間を超える最大レベルの1%のレベルから約50%のレベルまで前記放出電流を徐々に増加させるステップを含む請求項12に記載の方法。

【請求項17】

電界放出ディスプレイを調整する装置であって、

前記電界放出ディスプレイに、電子を放出する電子放出素子と、前記電子放出素子からの電子放出を制御するゲート電極と、前記電子を回収する表示画面と、を設ける手段と、

前記表示画面と前記電子放出素子との間の電圧差を、前記表示画面に設定可能にさせる手段と、

前記表示画面に設定可能にさせるのに引き続いて、前記電子を前記表示画面方向に向かわせるため、および前記電子が前記ゲート電極に衝突するのを実質的に防止するために、前記電圧差が設定されるまで前記電子放出素子からの実質的な電子の放出を遅延させることにより、前記ゲート電極を動作可能な状態に設定可能とする手段と、

前記ゲート電極を動作可能な状態にするのに続いて、前記表示画面の電圧を所定のレベルにまで低下させる手段と、

前記表示画面の電圧を低下させるのに続いて、放出電流を増加させるためにゲート電極の電圧を増加させる手段と、

前記表示画面の電圧がしきい値に達するまで、交互に、前記表示画面の電圧を低減させたり、前記電子放出を増加させたりする手段と、

を備える装置。

【請求項18】

前記表示画面は、アノードを備える請求項17に記載の装置。

【請求項19】

前記表示画面に電圧差を設定させる手段は、前記表示画面を所定のアノード電圧で駆動する手段をさらに備える請求項17に記載の装置。

【請求項20】

前記ゲート電極を動作可能な状態に設定させる手段は、前記ゲート電極を所定のゲート電圧で駆動する手段をさらに備える請求項17に記載の装置。

【請求項21】

前記電子放出素子はコニカル電子エミッタを備える請求項17に記載の装置。

【請求項22】

前記コニカル電子エミッタはモリブデンの先端をそれぞれ備える請求項21に

記載の装置。

【請求項23】

前記ゲート電極を不能な状態にさせることにより更なる電子の放出を阻止する手段と、

前記ゲート電極を不能な状態にするのに引き続いて、前記電子が前記ゲート電極に衝突するのを阻止することを、前記表示画面にできなくさせる手段と、

をさらに備える請求項17に記載の装置。

【請求項24】

a) 電界放出ディスプレイ(FED)のアノードを所定の電圧で駆動するステップと、

b) アノードの電圧が所定の電圧に達した後に、前記FEDの放出電流を増加させるステップと、

c) 磁化を解かれたイオンや粒子を捕獲するためのイオン捕集装置を設けるステップと、

を備える調整プロセス。

【請求項25】

ゲートからエミッタへの電流を阻止する方法であって、

a) アノード表示画面を動作可能な状態させるステップと、

b) アノード画面が動作可能な状態となった後に、電子エミッタを動作可能な状態にするステップと、

を備える方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は平面パネルディスプレイ画面の電界に関する。さらに詳しくは、この発明は平面パネル電界放出ディスプレイ画面の電界に関するものである。この明細書には、電界放出ディスプレイ装置内の素子をターンオンおよびターンオフする手順および装置が開示されている。

【0002】**【背景技術】**

平面パネル電界放出ディスプレイ（F E D s—Field Emission Displays—）は、標準的な陰極線管（C R T—Cathode Ray Tube—）ディスプレイと同様に、蛍光体画面の画素（ピクセル—pixel—）に高エネルギーの電子をぶつけることにより光を発生させる。励起された蛍光体は、電子のエネルギーを可視光に変換する。しかしながら、1つの信号を用いる従来のC R Tディスプレイとは異なり、または、3つの電子ビームがラスターパターン内の蛍光体画面を越えて走査する幾つの場合には、F E D sはそれぞれの画素のそれぞれの色素のための静電子ビームを用いている。これは、電子源から画面までの距離が従来のC R Tの走査用電子ビームにおいて求められている距離に比較して非常に小さくなるべきことを要求している。さらに、F E DはC R Tよりもはるかに少ない電力を消費するだけである。これらの要素は、F E Dを例えばラップトップコンピュータ、ポケットテレビ、パーソナルデジタルアシスタント、携帯用電子ゲーム等の携帯用電子製品に最適なものである。

【0003】

F E Dに関連する1つの問題は、F E D真空管（vacuum tube）が電子放出素子、フェースプレート（面板）、（誘電膜や金属膜を含む）ゲート電極およびスペーサ壁面等の表面に付着するようになる、ほんの僅かな量の汚染物質を含むであろうということである。これらの汚染物質は、十分なエネルギーを有する電子により衝撃を与えられたときに、叩き落とされるであろう。このように、F E Dがスイッチオンまたはスイッチオフされたときに、これらの汚染物質がF E D真

空管内で高いイオン圧力の小さな区域を形成するであろうことは高い蓋然性がある。ゲートがエミッタに対して陽性（positive—ポジティブ，プラス—）であるという事実に加えて、イオン圧力が高いことはエミッタからゲート電極への電子の放出を促進にしている。この結果、幾つかの電子はディスプレイ画面に対してよりはむしろゲート電極に対して衝撃を与えるであろう。この状況はゲート電極のオーバヒート（過熱）を導く可能性がある。ゲート電極に対する放出はまた、エミッタおよびゲート電極間の電圧差に影響を与える。さらに、電子放出素子とゲート電極との間の間隙を電子が飛び越えるので、電流の輝度放電もまた、観察される。繊細な電子エミッタに対する深刻な衝撃もまた結果される。当然、「アーク放電（arcing）」として一般的に知られているこの現象は、非常に好ましくないことである。

【0004】

従来、アーク放電の問題を避ける1つの方法は、汚染物質の原因を除去するためにFED真空管を手作業により洗浄することによるものである。しかしながらこの方法によって全ての汚染物質を除去することは難しいことである。さらに、手作業による洗浄の過程は、時間を消費すると共に労働力を集約することとなつて、FED画面の製造コストを不必要に増加させることになる。

【0005】

したがって、この発明はFED画面から汚染物質の粒子を除去する改善された方法を提供するものである。この発明はまた、ターンオンおよびターンオフする間のゲートからエミッタへの電流を阻止するために電界放出ディスプレイを動作させる改善された方法を提供するものでもある。この発明におけるこれらおよび特に上述しなかった他の長所は、以下に述べるこの発明に関する議論の中で明らかとなる。

【0006】

【開示の概要】

この発明は、新たに組み立てられた電界放出ディスプレイにおける汚染物質を除去する方法を提供する。この発明の1つの態様によれば、汚染物質の粒子は、
a) 電界放出ディスプレイ（FED—Field Emission Display—）のアノードを

所定電圧となるように駆動し、b) このアノードの電圧が所定電圧に達した後に前記F E Dの放出電流を徐々に増加させ、c) 放出された電子により叩き落とされたイオンまたは汚染物質を捕集するためのイオン捕集装置を提供する、ステップを含む調整プロセスにより除去される。この態様においては、アノードを所定電圧により、また、F E Dの放出電流を徐々に増加させることにより、F E Dに対してダメージを与えることなく汚染物質の粒子が有効に除去される。

【0007】

この発明はまた、ターンオンおよびターンオフの間にゲートエミッタ電流を阻止するようにF E Dを動作させる方法を提供している。この態様においては、動作方法は、a) アノード表示画面を動作可能にし、b) アノード表示画面が動作可能な状態となった後に電子エミッタを所定時間だけ動作可能にする、ステップを含んでいる。この態様においては、エミッタが動作可能となる前にアノード表示画面が所定の電圧に到達するための十分な時間を許容することにより、放出された電子がアノードへと引きつけられるだろう。このようにして、F E Dがターンオンされたときにはゲートエミッタ電流は有効に消去される。この態様においては、アノード表示画面は表示画面に所定の高電圧を供給することにより動作可能な状態となっており、電子エミッタはF E Dのゲート電極およびエミッタ電極を適切な電圧で駆動することにより動作可能な状態となっている。

【0008】

この発明のさらに他の態様においては、ゲートエミッタ電流を阻止して電界放出ディスプレイを動作させる方法は、a) 所定の時間の間だけエミッタを動作不能な状態にするステップと、b) 電子エミッタが動作不能とされた後にアノード表示画面を動作不能な状態にするステップと、を備えている。この態様においては、アノード表示画面を動作不能な状態にする前に電子エミッタを動作不能な状態とするために十分な時間を許容することにより、全ての残りの電子がアノードに引きつけられることになる。このようにして、F E Dのターンオフ周期の間だけ、ゲートエミッタ電流が消去される。この態様においては、F E Dのアノードに対して接地電圧を供給することによりアノード表示画面が動作不能状態とされ、ゲート電極とエミッタ電極とを接地電圧で駆動することにより電子エミッ

タが動作不能な状態とされる。

【0009】

この発明の上記および他の態様は、以下のステップを含む電界放出ディスプレイを動作させる方法を含んでいる。この方法は、電子を放出するための電子放出素子と、この電子放出素子から放出される電子を制御するためのゲート電極と、前記電子を集めるための表示画面とを提供するステップと、前記表示画面と前記電子放出素子との間の電圧差を前記表示画面で確立可能な状態にさせるステップと、前記表示画面の電圧差の確立可能な状態を維持しながら、前記電子を前記表示画面側に向かわせると共に前記電子が前記ゲート電極に打撃を与えることを実質的に阻止するように前記電圧差をが確立されるまで、前記電子放出阻止からの実質的な電子の放出を遅延させることによりゲート電極を動作可能な状態にするステップと、を備えている。

【0010】

この発明の態様は、ベースプレートと、このベースプレート上に設けられた複数の電子放出素子と、前記電子放出素子からの電子の放出を制御するために前記ベースプレート上に設けられたゲート電極と、前記ベースプレートから間隔を持って設けられると共に前記電子放出素子より放出される電子を集めてその上に画像を形成するために設けられた表示画面と、この装置がターンオンされている間に実質的なゲートエミッタ電流を阻止するために前記電子放出素子からの実質的な電子放出に先だって前記表示画面と前記電子放出素子との間に確立されるべき電圧差を許容する、電子放出素子への電子の流れを制御するために設けられた制御回路と、を備える電界放出ディスプレイ装置を、さらに備える。

【0011】

【発明の実施の形態】

この明細書に組み込まれてこの明細書の一部を構成する添付図面は、この発明の実施形態を示し、詳細な説明と共にこの発明の原理を説明するための役割を果たしている。

【0012】

添付された図面にその例が示されたこの発明の実施形態に関する参考を詳細に

説明する。この発明はこれらの実施形態に関連して説明されるが、これらはこの発明をこれらの実施形態に限定することを意図するものではない。これに対してこの発明は、この明細書の特許請求の範囲により定義されているようにこの発明の精神および範囲内に含まれるであろう選択肢、変形例および均等物をカバーすることを意図するものである。さらに、以下の詳細な説明において、説明の便宜上、この発明の完全な理解を提供するために多数の特定の詳細構成が提示されている。しかしながら、当業者がこの詳細な説明を読んで、これら特定の詳細構成なしにこの発明が実施され得るであろうことは明らかである。他の実例においては、この発明のアスペクトを曖昧にすることを避けるために、公知の構成や装置については説明されていない。

【0013】

電界放出ディスプレイの一般的な説明

電界放出ディスプレイの一般的な説明がなされる。図1は、FED平面パネルディスプレイの一部分の断面図である多層構造75を示している。この多層構造75は、ベースプレート構造とも呼ばれる電界放出バックプレート構造45と、電子受け止めフェースプレート構造70と、を含んでいる。画像は、フェースプレート構造70に生成される。バックプレート構造45は、電氣的に絶縁されたバックプレート65と、エミッタ（カソード）電極60と、電氣的な絶縁層55と、パターン化されたゲート電極50と、絶縁層55を介してアパーチャ内に配置されたコニカル（円錐形）電子放出素子40と、を共通に備えている。電子放出素子40の1つのタイプは、1997年3月4日にトウィチェル（Twichell）に対して発行された米国特許第5,608,283号公報に開示されており、他のタイプは、1997年3月4日にスピント他（Spindt et al.）に対して発行された米国特許第5,607,335号公報に開示され、これらは共に参考としてこの明細書に組み入れられる。電子放出素子40の先端は、ゲート電極50内の対応する開口部を介して露出される。エミッタ電極60および電子放出素子40は、共にFED平面パネルディスプレイの図示された部分75のカソードを構成している。フェースプレート構造70は、電氣的に絶縁するフェースプレート15と、アノード20と、蛍光体被覆25と、により形成されている。素子40

より放出される電子は、蛍光体部分30により受け止められている。1つの実施形態において、電子放出素子40は、コニカルモリブデンチップを含んでいる。この発明の他の実施形態において、アノード20は蛍光体25の上方側に位置付けられていても良く、エミッタ40は例えばフィラメントのような他の幾何学的な形状を含むようにしても良い。

【0014】

電子放出素子40からの電子の放出は、適合する電圧(V_G)をゲート電極50に供給することにより制御されている。他の電圧(V_E)は、エミッタ電極60の方法により直接電子放出素子40に供給されている。電子の放出は、ゲートからエミッタへの電圧例えば V_G マイナス V_E または V_{GE} が増加するのに連れて増加する。蛍光体25に対して電子を指向させることは、アノード20に対して高電圧(V_G)を供給することにより行なわれている。適合するゲートーエミッタ電圧 V_{GE} が供給されたときに、オフノーマル放出角度シータ42の種々の値で電子放出素子40から電子が放出される。放出された電子は、図1で線35により表示される非線形(例えば放物線)の軌跡に追従し、蛍光体25の標的部分30上に衝撃を与える。このようにして、電圧 V_G および電圧 V_E は、放出電流(I_G)の大きさを決定し、アノード電圧 V_G は、所定の角度で放出される所定の電子のための電子の軌跡の方向を制御している。

【0015】

図2は、例示的なFED画面100の一部分を示している。FED画面100は、水平方向に整列された画素列と垂直方向に整列された画素行とのアレイに分割されている。各画素125の境界は、破線により表示されている。3つに独立した列方向の線230が示されている。それぞれの列方向の線230は、アレイにおける複数の画素列のうちの1つの列毎の列電極である。1つの実施形態において、各列の線230は、電極により補助される個々の列のエミッタ毎のエミッタ電極に接続されている。1つの画素列の一部分は、図2に示されており、隣接する1対の隔壁135の間に位置している。他の実施形態においては、隔壁135は個々の列の間にある必要はない。さらに、幾つかのディスプレイにおいては、隔壁135が設けられていなくとも良い。画素列は1つの列線230に沿っ

た全ての画素を含んでいる。2つまたはそれ以上の画素列（および24-100画素列と同じくらい）は、一般的には、隣接する各対の隔壁135間に配置されている。

【0016】

カラーディスプレイにおいては、画素の各行は（1）赤用の第1、（2）緑用の第2、（3）青用の第3、の3つの行線250を有している。同様に、各画素の行は、それぞれの蛍光体ストライプ（赤、緑、青）1つずつからなる全部で3つのストライプを含んでいる。モノクロームのディスプレイにおいては、各行はただ1つのストライプを含んでいる。この実施形態においては、行の線250のそれぞれが、補助的な行の各エミッタ構造のゲート電極に接続されている。さらに、この実施形態においては、行の線250が行駆動回路（図示されず）に接続するために設けられており、列の線230が列駆動回路（図示されず）に接続するために設けられている。

【0017】

動作においては、赤、緑、青の蛍光体ストライプが、エミッターカソード60/40の電圧に関連する正極の高電圧で維持されている。電子放出素子のセットのうちの1つが対応する列の線230および行の線250の電圧を調整することにより良好に励起されたときに、そのセット内の素子40が、対応する色における蛍光体の標的部分30を目掛けて加速されている電子を放出する。励起された蛍光体はその後光を放出する。（1つの実施形態において約60Hzの割合で実行される）画面フレームリフレッシュサイクルの間、ただ1つの列が同時にアクティブになり、行の線はオンタイム期間の間だけ1つの列の画素を発光させるためにエネルギーを与えられる。これは、フレームを表示するために全ての画素列が完全に照らされ切ってしまうまで、列毎に時間内で連続的に行なわれる。上記のFED構成は以下に示す米国特許：1996年7月30日にデュボック・ジュニア他に対して発行された米国特許第5,541,473号公報、1996年9月24日にスピンドット他に対して発行された米国特許第5,559,389号公報、1996年10月15日にスピンドット他に対して発行された米国特許第5,564,959号公報、1996年11月26日にハーヴェン他に対して発

行された米国特許第5, 578, 899号公報により詳細に説明されており、これらの公報はこの明細書内に参考文献として組み入れられる。

【0018】

この発明の一実施形態に係るFEDの調整手順

この発明は、その中に含まれている汚染物質の粒子を除去するために、新たに製造されたFEDを調整するプロセスを提供している。この調整プロセスは、FED装置が通常の動作で用いられる前に行なわれ、典型的には製造中に行なわれる。この発明の調整プロセスの間、FEDの真空管内に含まれている汚染物質は大量の電子により衝撃を与えられる。この衝撃が与えられた結果として、汚染物質は叩き落とされて、ガス捕集装置（例えばゲッター）により捕集される。新たに製造されたFEDは大量の汚染物質を含んでいるので、本発明にしたがった調整プロセスの間にアーク放電が発生しないことを保証するために、予防ステップが採用されなければならない。この目的を達成するために、本発明によれば、調整プロセスが所定の高電圧でアノードを駆動するステップと、放出カソードを動作可能な状態にしてその後電子がアノードに対して掃引されることを保証するステップとを含んでいる。この発明の1つの実施形態の増進のために、放出電流はアノード電圧が所定の高電圧に到達した後に最大値にまで徐々に増加する。

【0019】

図3は、この実施形態による調整プロセスの間に、個々のFEDのアノード電圧レベルと放出電流レベルにおける変化を示す図300を表している。線図301は、アノード電圧(V_c)における変化を表しており、線図302は放出電流(I_c)における変化を表している。とりわけ、 V_c は駆動電子装置により提供される最大アノード電圧のパーセンテージとして表現されている。例えば、高電圧蛍光のためには、最大アノード電圧が3000ボルトになるかも知れない。この最大アノード電圧がアノードの通常の動作電圧ではないであろうことは注目されるべきである。例えば、表示画面の通常の動作電圧は最大アノード電圧の25%から75%であろう。 I_c はFEDの駆動回路により提供される最大放出電流のパーセンテージとして表現されている。FEDに対して高電圧および大電流を供給するための駆動電子装置および電子装置はこの技術分野においては公知であ

り、それゆえに、この発明のアスペクトを不明確にしないために、ここではこれ以上の議論を差し控える。

【0020】

この発明によれば、線図301は電圧ランプ（スロープ）セグメント301aと、第1のレベルセグメント301bと、電圧ドロップセグメント301cとを含み；線図302は第1の電流ランプ（スロープ）セグメント302aと、第2の電流ランプセグメント302bと、第2のレベルセグメント302cと、第3の電流ランプセグメント302dと、第3のレベルセグメント302eと、電流ドロップセグメント302fと、を含んでいる。示された個々の実施形態において、電圧ランプセグメント301a内では、 V_c は約5分間の期間を超えて最大アノード電圧の0%から100%まで増加している。はっきりとして、 I_c はゲート電極の代わりに表示画面（アノード）の方向に電子が掃引されることを保証するために増加させられている。

【0021】

V_c が最大アノード電圧の100%にまで到達した後、 V_c は略々25分の間その電圧レベルで保持される。同時に、約10分間（第1の電流ランプセグメント302a）を超えて、 I_c は最大放出電流の0%から1%にまで徐々に増加する。それゆえに、 I_c は約20分間（第2の電流ランプセグメント302b）を超えて最大放出電流の50%にまで徐々に増加する。 I_c はおよそ10分の間（第2のレベルセグメント302c）50%レベルで持続する。この発明によれば、 I_c は、電子エミッタの脱離により形成される高イオン圧力ゾーンの形成を避けるために低レートで増加させられる。取り除かれた微粒子は、高イオン圧力の小さなゾーンを幾つか形成する可能性もあり、それらのゾーンはアーク放電の危険性を増加させるかも知れない。このようにして、放出電流を徐々に増加させることにより、アーク放電の発生は顕著に減少する。

【0022】

図3に従って、 I_c は、「ソーキング」（soaking—温洗、均熱処理—）発生のためにおよそ10分（第2のレベルセグメント302c）の間、一定のレベルに持続される。ソーキングは、汚染物質粒子がガス捕集装置により除去されるこ

とによるプロセスのことである。一般的には「ゲッター」として知られているガス捕集装置は、調整プロセスのこの段階においてこの発明では用いられ、この技術分野においては公知のものである。

【0023】

1つの実施形態において、ソーキング期間経過後、 I_c はその最大レベル（第3の電流ランプ302d）の100%にまで増加し、その後、およそ2時間（第3のレベルセグメント302e）の間、そのレベルを維持する。同時に、 V_c はその最大値で維持される。その後、 V_c および I_c は次第にそれぞれの最大値の0%にまで戻される。とりわけ、図3にセグメント302f および 301cにより示されているように、 I_c は、 V_c が遮断される前に、遮断される。このようにして、放出される電子の全てが表示画面（アノード）方向に掃引され、ゲート-エミッタ電流が阻止されることが保証される。

【0024】

この発明の調整プロセスの間、叩き落とされたかさもなければ解放された汚染物質のいかなるものでもガス捕集装置、さもなければ公知の「ゲッター」により集められる。上述したように、ゲッターはこの技術分野では公知のものである。図3に示されているような個々の実施形態において、調整期間の合計は、およそ6時間である。この調整期間の後に、汚染物質のほとんどは、叩き落とされてゲッターにより集められ、新たに製造されたFEDは通常の動作のために用意されるであろう。

【0025】

図4は、この発明によるFED調整プロセスの処理ステップを示す流れ図400である。この発明の検討を容易にするために、流れ図400は図1に示される例示的なFED構造75に関連付けて説明される。いま、図1および図4を参照して、ステップ410ではFEDのアノード20が高電圧で駆動される。ステップ410では、放出電流（ I_c ）が最大値の0%のところで維持され、それゆえに電流が遮断された状態であることが注目されるべきである。この発明の1つの実施形態においては、ゲート電極50およびエミッターカソード60/40の電圧は接地レベルで維持される。アノード電圧は、一旦放出された電子がゲート電

極50よりもむしろアノード20に掃引されることを確実にするために、0%の放出電流を維持している間は、高電圧で駆動される。

【0026】

図4のステップ420では、放出電流 I_c は、FEDの駆動電子装置より提供される最大放出電流の1%まで徐々に増加させられる。この発明の1つの個別の実施形態においては、ステップ420が完了するまで約5分を要する。ゆっくりとしたランプアップ（ramp up —立ち上がり—）は、高イオン圧力の限局されたゾーンが電子エミッタの脱離によって形成されるわけではないことを保証している。さらに、この実施形態においては、放出電流 I_c は、ファウラー・ノルドハイム理論（Fowler-Nordheim theory）により予測されるように、ゲートエミッタ電圧（ V_{GE} ）に比例する。このようにして、本発明においては、放出電流 I_c は、ゲートエミッタ電圧 V_{GE} を調整することにより制御されても良い。

【0027】

図4のステップ430では、FEDの駆動電子装置によって与えられる最大放出電流のおよそ50%にまで引き上げられる。1つの実施形態において、ステップ430が完了するまでおよそ10分を要する。ステップ430において、ゆっくりとした立ち上がりは、脱離される微分子が発散されるために十分な時間を許容し、高イオン圧力の限局されたゾーンが形成されないように保証する。

【0028】

図4のステップ440では、放出電流 I_c およびアノード電圧 V_c は、大量の電子が放出されるようなそれぞれの最大値の100%に保たれる。この放出電子は、上述した製造プロセスによっても除去されない最も解放された汚染物質に衝撃を与えて叩き落とすであろう。叩き落とされた汚染物質は、例えばゲッターのようなイオン捕集装置により引き続いて捕集される。上述したように、ゲッターはこの技術分野では公知であり、それゆえに、この発明の様相を不明確にすることを避けるためここでは説明しない。

【0029】

ステップ450では、放出電流が最大値の0%にまで移行される。引き続いてステップ460では、アノード電圧が最大値の0%にまで移行される。全ての放

出電子がアノードに付着されるようにアノード電圧をターンオフするのに先立って、放出電流がターンオフされることを注目することは重要なことである。その後、調整プロセス400は終了する。

【0030】

図5は、この発明の1つの実施形態に係る調整プロセスを制御する装置を示すブロック図である。図1におけるFEDをさらに簡略化した図面が、示されている。図5によれば、この装置はFED75に接続するために設けられた制御回路710を備えている。とりわけ、制御回路710は、FED75のアノード20にアノード電圧を供給するための第1の電圧制御回路710aを備えている。制御回路710は、ゲート電極50にゲート電圧を提供するための第2の電圧制御回路710bと、エミッタカソード60/40にエミッタ電圧を提供するための第3の制御回路710cと、をさらに備えている。制御回路710は例示的なものであり、制御回路710の多くの異なる実施例もまた用いられることは、正しく理解されるべきである。

【0031】

動作において、電圧制御回路710a-710cは、この発明の調整プロセスの間に、異なる電圧や放出電流を供給するために、FED75のアノード20、ゲート電極50およびエミッタ電極60/40に種々の電圧を供給している。この発明の1実施形態においては、制御回路710は、非常に高電圧を提供するこの調整プロセスのために特別に作成される独立型(stand alone)電子装置である。しかし、制御回路710は、FEDターンオンおよびターンオフの間に、アノード電圧および放出電流を制御するFED内に内蔵されていても良い。

【0032】

この発明のFEDのターンオン／オフ手順

この発明はまた、FEDユニットの電源投入および切断の間に、アーク放電の危険性を少なくする電界放出ディスプレイを動作させる方法を提供するものである。とりわけ、この発明の1つの実施形態において、FEDを動作させる方法はFEDの陽極の表示画面をターンオンさせるステップと、その後に放出カソードをターンオンさせるステップと、を備えている。この発明の他の実施形態におい

て、アーク放電の危険性を最小にするFED動作方法は、放出カソードをターンオフするステップと、その後に陽極の表示画面をターンオフするステップと、を備える。この発明によれば、アーク放電の発生は以下に説明するステップにより実質的に低減される。

【0033】

図6は、本発明の他の実施形態に従ったFEDターンオフ手順におけるステップの流れ図500を示すものである。この発明の議論を容易にするために、流れ図500は図1に示された例示的なFED75に関連させて説明する。ここで、図1および図6を参照すると、ステップ510で、FED75がスイッチオンされたときに、アノード20は動作可能な状態になる。この実施形態においては、所定のしきい値電圧（例えば300ボルト）の供給により、アノードは動作可能な状態となる。さらに、この発明においては、アノード20に対して電源を供給する電源供給回路（図示されず）をスイッチオンさせることにより、アノードを動作可能な状態にしても良い。FEDに対する電源供給は、この技術分野において公知のものであり、多数の公知の電源供給装置の何れでもこの発明に用いることができる。

【0034】

ステップ520で、FEDの75のアノード20が動作可能な状態になった後で、アノードが所定のしきい値電圧に到達した後に、FED75のエミッタカソード60/40およびゲート電極50が動作可能な状態となる。この発明においては、FED75のエミッタカソード60/40は、アノード20が電子をアノード20方向に向けるため、および電子がゲート電極50に衝突するのを阻止するために、動作可能な状態となった後、所定の期間だけ動作可能な状態となる。一実施形態において、エミッタカソード60/40およびゲート電極50は、FEDの行・列駆動回路（図示されず）をスイッチオンさせることにより、動作可能な状態にするようにしても良い。

【0035】

図7は、この発明の他の実施形態に係るFEDターンオフ手順のステップを示す流れ図600である。以下の説明において、流れ図600は、図1の例示的な

FED75に関連させて議論されている。ここで、図1および図7において、FED75がスイッチオフされたとき、FED75のエミッタカソード60/40およびゲート電極50は動作不能な状態になる。同時に、アノード20は高電圧のままである。さらに、一実施形態において、エミッタカソード60/40およびゲート電極50は、接地電位にする列駆動部および行駆動部（図示されず）によりそれぞれ供給される列方向の電圧および行方向の電圧に設定することにより動作不能な状態となる。

【0036】

ステップ620で、エミッタカソード60/40およびゲート電極50が動作不能な状態となった後に、FEDのアノード20が動作不能な状態となる。この発明によれば、ステップ620は、エミッタカソードより放出される全ての電子がアノード表示画面に引きつけられることを確実にするためにステップ610の後で行なわれる。一実施形態において、アノード20は、このアノード20に電力を供給する電力供給回路（図示せず）をスイッチオフすることにより動作不能な状態となっている。このようにして、FED内におけるアーク放電の発生を小さくしている。

【0037】

本発明の他の実施形態によるFED調整プロセス

図8は、この発明の他の実施形態に係る個別のFED装置を調整する電圧および電流供給技術を示すプロット800である。プロット801は、アノード電圧（ V_c ）における変化を示し、プロット802は、アノード放出電流（ I_c ）における変化を示している。詳しくは、 V_c は駆動電子装置により供給される最大アノード電圧のパーセンテージとして表現されている。 I_c はFEDの駆動回路により供給される最大放出電流のパーセンテージとして表現されている。

【0038】

この発明によれば、プロット801は電圧ランプセグメント810a-dと、コンスタント電圧セグメント820a-fと、電圧ドロップセグメント830a-cとを含み、プロット802は電流ランプセグメント840a-eと、コンスタント電流セグメント850a-eと、電流ドロップセグメント860a-cと

を含んでいる。図示された詳細な実施形態において、電圧ランプセグメント810aでは、 V_c はおよそ10分の期間を超えて最大アノード電圧の0%から50%へと増加する。電子がゲート電極の代わりに表示画面（アノード）に向かって引き寄せられることを確実にするために V_c が増加するのに連れて、 I_c は顕著に0%のままである。

【0039】

V_c が最大アノード電圧の50%に達した後に、およそ30分の間（コンスタント電圧セグメント820a）、 V_c はその電圧レベルを維持する。同時に、およそ10分以上（電流ランプセグメント840a）を掛けて、 I_c は最大放出電流を0%から1%へと徐々に増加させる。その後、およそ10分以上（電流ランプセグメント840b）を掛けて、 I_c は最大放出電流を50%へと徐々に増加させる。およそ10分以上の間（コンスタント電流セグメント850a）、 I_c は50%のレベルを維持する。この発明によれば、 I_c は電子エミッタの脱離により形成される高イオン圧力ゾーンの形成を避けるために、ゆっくりとした割合で増加する。脱離される微分子は高イオン圧力のゾーンを形成するかも知れず、それはアーク放電の危険性を増加させるかも知れない。放出電流を徐々に増加させることにより、脱離される微分子がガス捕集装置（例えばゲッター）に対して拡散されるかも知れないのを十分な時間が許容する。このようにして、アーク放電の発生は顕著に低減される。

【0040】

図8によれば、 V_c は50%~20%のレベルに低減（電圧ドロップセグメント830a）され、およそ30分（コンスタント電圧セグメント820b）の間20%のレベルを維持する。 V_c が20%のレベルに達した後、 I_c はゆっくりと100%のレベルへと立ち上がる（電流ランプセグメント840c）。放出された電子を引き付けるためにアノード電圧がFEDのアノードの最小のしきい値レベルに近づくために20%のレベルが選択されることは、注目されるべきである。 I_c はその後およそ20分（コンスタント電流セグメント820b）の間、「ソーキング」を発生させるためにコンスタントレベルで維持される。

【0041】

この実施形態においては、 I_c はその後、引き続いてその最大レベルの50%まで（電流ドロップセグメント860a）減少し、さらにその後、およそ20分（コンスタント電流セグメント850c）の間、そのレベルで維持される。 I_c が50%のレベルに達した後、 V_c は50%のレベル（電圧ランプセグメント810b）まで増加し、およそ20分（コンスタント電流レベル820c）の間そのレベルに維持される。その後、 I_c は最大値の0%（電流ドロップセグメント860b）へとターンオフされる。

【0042】

I_c がターンオフされた後、 V_c はおよそ2.5時間（電圧ランプセグメント810c）の期間を超えてその最大レベルの100%にまでゆっくりと立ち上げられ、およそ1時間（コンスタント電圧セグメント820d）の間、最大値を維持する。その後、 V_c が50%のレベルにまで低減され（電圧ドロップセグメント830b）、およそ20分（コンスタント電圧セグメント820e）の間、そのレベルを維持する。 V_c が50%のレベルのとき、 I_c は0%から50%のレベル（電流ランプ840d）へとゆっくりと増加される。 V_c および I_c はその後、それらのそれぞれ最大値の100%（電圧ランプセグメント810dおよび電流ランプセグメント840e）で引き続いて駆動され、およそ1.5時間の間（コンスタント電圧セグメント820fおよびコンスタント電流セグメント850e）だけそれらのレベルをそれぞれ維持する。その後、 V_c および I_c は0%にまで引き戻される（電圧ドロップセグメント830cおよび電流ドロップセグメント860c）。

【0043】

図8にセグメント810dおよび840eにより示されているように、 V_c が最大値で駆動された後に、 I_c が最大値で駆動され、 V_c がターンオフされる前に、 I_c がターンオフされる。このようにして、全ての放出された電子は表示画面（アノード）の方向に引き寄せられることが保証されると共に、ゲートエミッタ電流が阻止されることも保証される。

【0044】

この発明、FEDにおけるアーク放電の発生を小さくさせるFEDの動作方法

は、このように開示された。この発明を実現するための電子回路、とりわけしきい値電圧の電位が確立されるまでに放出カソードの活性化を遅らせるための回路は、公知であることは正しく認識されるべきである。例えば、この明細書を読むことにより、この発明の属する技術分野における熟練者にとって、電子制御信号に応答する制御回路が、アノード電圧を検知し、かつ、アノード電圧がしきい値に達した後に列および行駆動部への電源供給をターンオンするために用いられ得るであろうことは明白であろう。また、本発明が特定の実施形態により説明されているからと言って、この発明がこのような実施形態により限定されて構成されることはなく、むしろ特許請求の範囲の記載に従って構成されるべきであることもまた、正しく評価されるべきである。

【図面の簡単な説明】

【図 1】

列方向の線および行方向の線に沿って切断した状態のゲーティッド電界エミッタを実用化する例示的な平面パネル F E D の一部を示す切断面図である。

【図 2】

本発明の一実施形態に係る例示的な F E D 画面を示す説明図である。

【図 3】

本発明の一実施形態に係る F E D 装置をターンオフするための電圧および電流適用技術を示す特性図である。

【図 4】

この発明の一実施形態に係る F E D 調整プロセスのステップを示す流れ図である。

【図 5】

この発明の一実施形態に係る F E D を調整するためのシステムを示すブロック図である。

【図 6】

この発明の他の実施形態に係る F E D ターンオン手順のステップを示す流れ図である。

【図 7】

この発明の他の実施形態に係るFEDターンオフ手順のステップを示す流れ図である。

【図8】

この発明の他の実施形態に係るFED装置をターンオンするための電圧および電流技術を示す特性図である。

【符号の説明】

- 20 アノード
- 25 蛍光体被覆
- 30 蛍光体部分
- 40 電子放出素子（エミッタ）
- 45 バックプレート構造
- 60 エミッタ電極
- 65 バックプレート
- 70 フェースプレート構造
- 60／40 エミッタカソード
- 50 ゲート電極
- 710 制御回路
- 710a－710c 電圧制御回路

【図1】

75

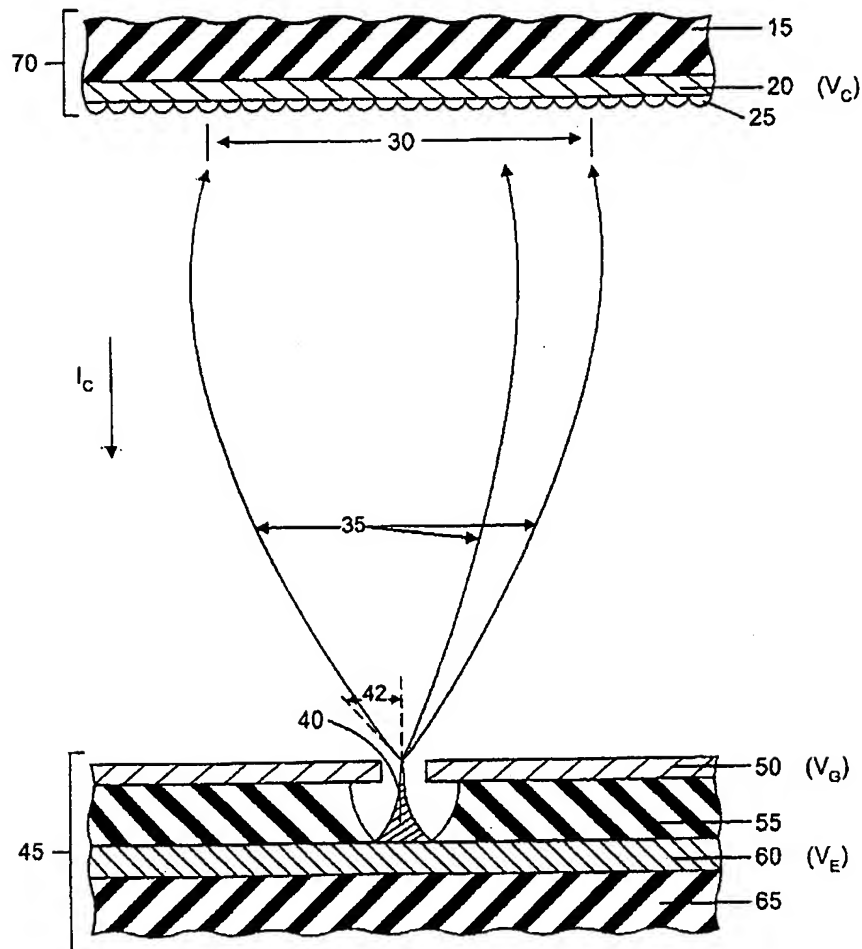
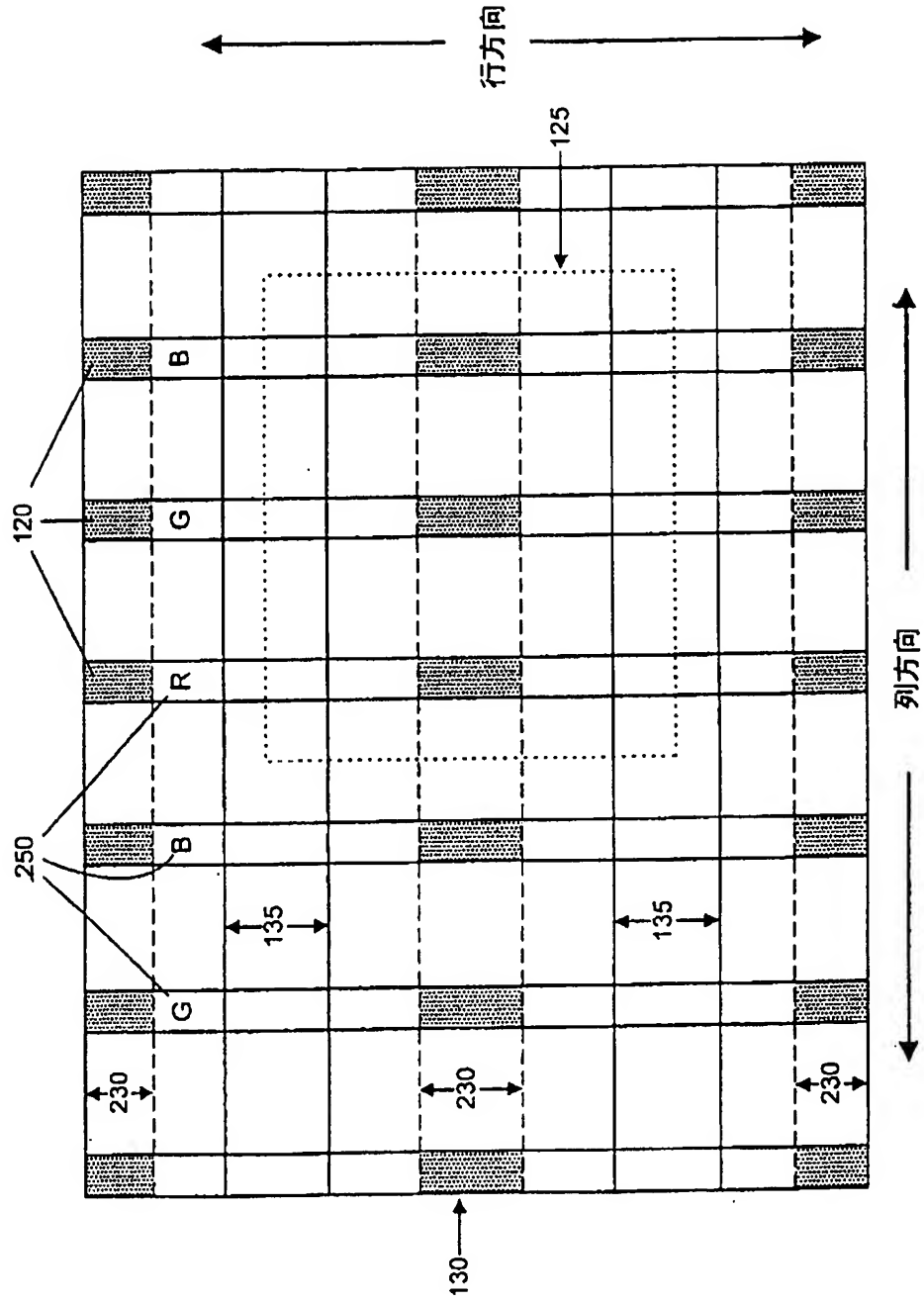


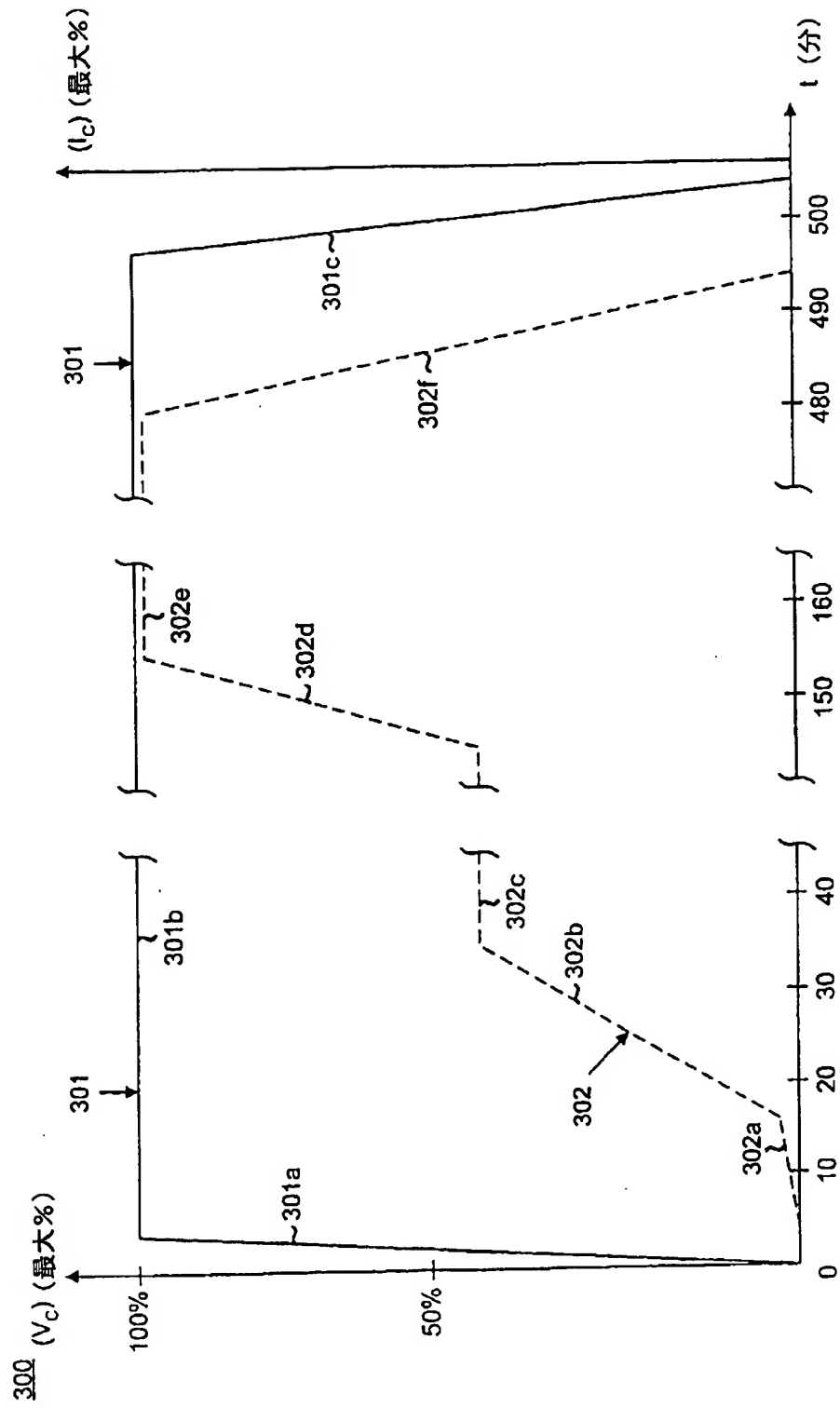
FIG. 1

【图2】



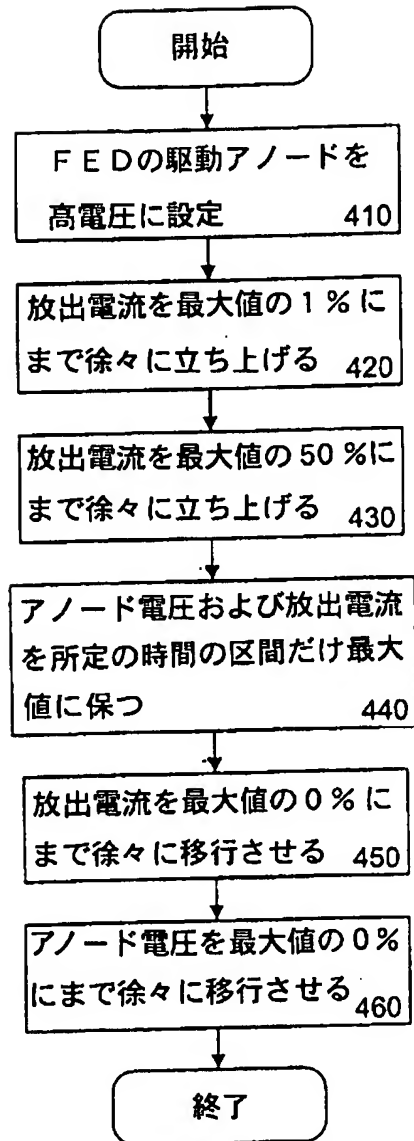
100

【図3】



【図4】

400



【図5】

700

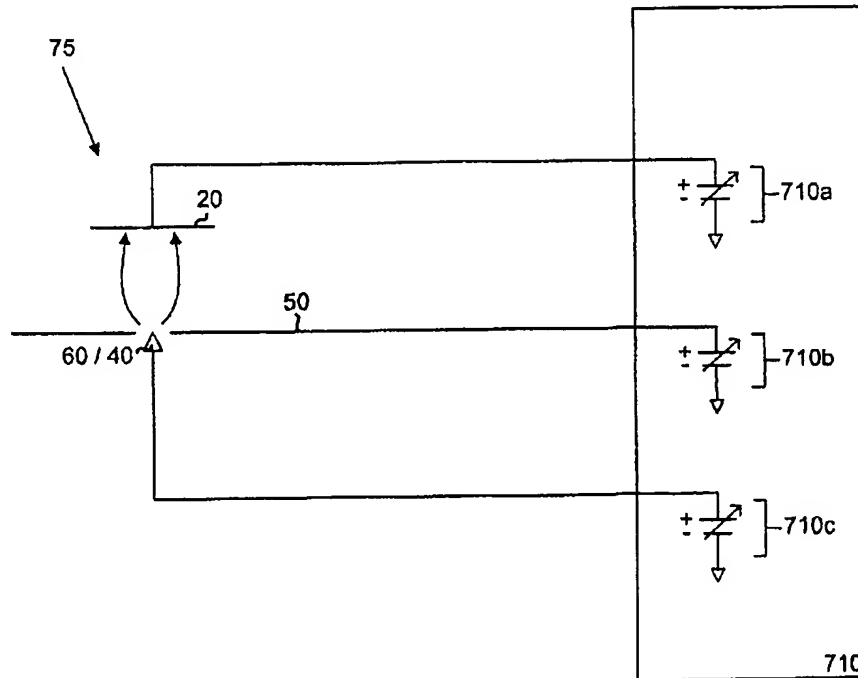
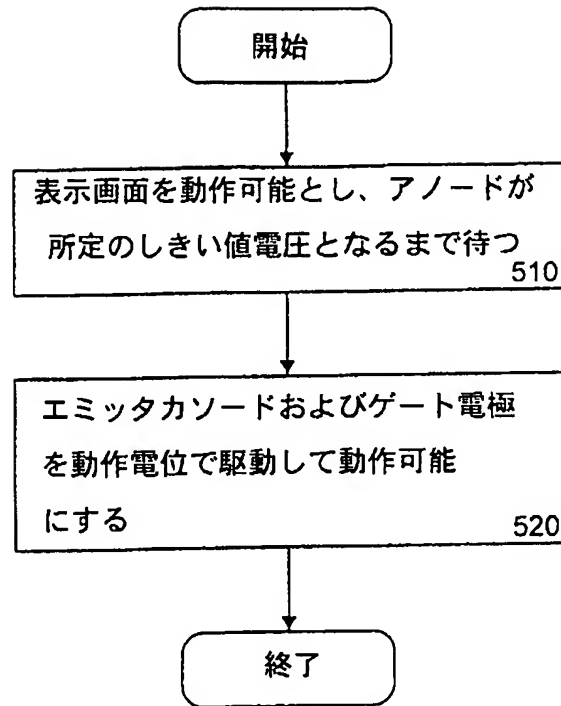
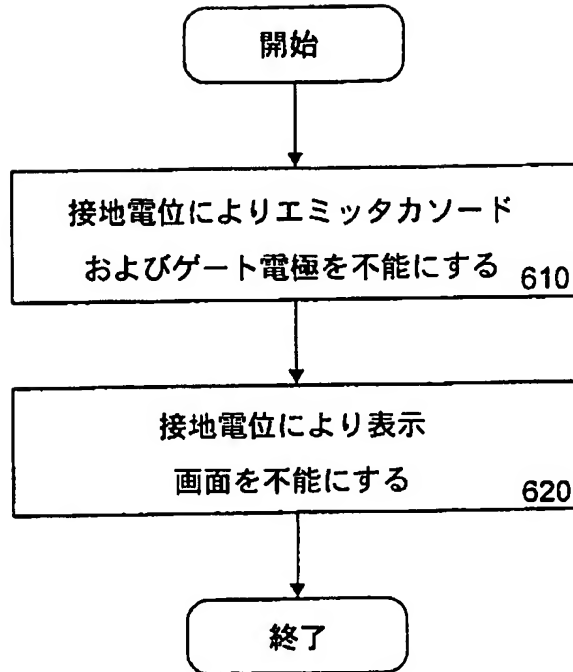


FIG. 5

【図6】

500

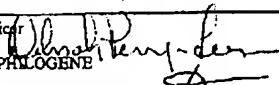
【図7】

600

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US99/15588

A. CLASSIFICATION OF SUBJECT MATTER		
IPC(6) : G09G 3/10 US CL : 315/169.1, 169.3, 168; 313/495 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 313/169.1, 169.3, 168, 167, 160, 337; 313/495; 345/74, 75, 55, 214, 215		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,721,560 A (CATHEY, Jr. et al) 24 February 1998 (24/02/98), see entire document.	1-25
X	US 5,923,948 A (CATHEY, Jr.) 13 July 1999 (13/07/99), see entire document.	1-25
X	US 5,866,979 A (CATHEY, Jr. et al) 02 February 1999 (02/02/99), see entire document.	1-25
X	US 5,910,791 A (ZIMLICH et al) 08 June 1999 (08/06/99), see entire document.	1-25
X	US 5,898,415 A (HANSEN et al) 27 April 1999 (27/04/99), see entire document.	1-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
"A" document defining the general state of the art which is not considered to be of particular relevance		
"E" earlier document published on or after the international filing date		
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
25 OCTOBER 1999	18 November 1999 (18.11.99)	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-7724	Authorized officer  HAISSA PHILOGENE Telephone No. (703) 305-3485	

フロントページの続き

- (72)発明者 デビッド、エル. モリス
アメリカ合衆国カリフォルニア州、サンノ
ゼ、エル、グラント、コート、3644
- (72)発明者 ウィリアム、ジェイ. スキャネル
アメリカ合衆国カリフォルニア州、メン
ロ、パーク、リングウッド、1041
- (72)発明者 クリストファー、ジェイ. スピント
アメリカ合衆国カリフォルニア州、メン
ロ、パーク、ヒルサイド、アベニュー、115
- F ターム(参考) 5C012 AA05 VV02
5C031 DD17
5C036 EE08 EE19 EF01 EF06 EF09
EG12 EG24 EG48 EH26

【要約の続き】

ノード表示画面が所定電圧に到達するのに十分な時間を確保することにより、放出された電子(40)はアノード(20)に引きつけられるであろう。